



日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 Date of Application: 2003年 3月20日

出願番号 Application Number: 特願2003-078089

[ST. 10/C]: [JP2003-078089]

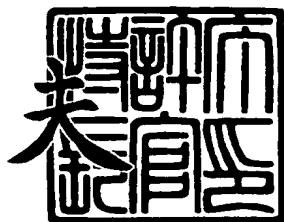
出願人 Applicant(s): セイコーエプソン株式会社

（捺印）

2003年11月21日

特許庁長官  
Commissioner,  
Japan Patent Office

今井康



【書類名】 特許願

【整理番号】 EP-0430101

【提出日】 平成15年 3月20日

【あて先】 特許庁長官殿

【国際特許分類】 G06F 12/00 580

G06F 13/28 310

G06T 1/60

G09G 5/00

【発明者】

【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーエプソン株  
式会社内

【氏名】 工藤 真

【特許出願人】

【識別番号】 000002369

【氏名又は名称】 セイコーエプソン株式会社

【代理人】

【識別番号】 100090479

【弁理士】

【氏名又は名称】 井上 一

【電話番号】 03-5397-0891

【選任した代理人】

【識別番号】 100090387

【弁理士】

【氏名又は名称】 布施 行夫

【電話番号】 03-5397-0891

**【選任した代理人】**

【識別番号】 100090398

**【弁理士】**

【氏名又は名称】 大渕 美千栄

【電話番号】 03-5397-0891

**【手数料の表示】**

【予納台帳番号】 039491

【納付金額】 21,000円

**【提出物件の目録】**

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9402500

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置、半導体回路、電子機器及びクロック供給制御方法

【特許請求の範囲】

【請求項 1】 半導体記憶媒体へのアクセスを行う半導体装置であって、  
バスマスターとして機能する所与のバスマスタブロックと、  
所与のバスマスタブロックから半導体記憶媒体へのアクセス要求に基づき、半  
導体記憶媒体のアクセス制御を行うバスインターフェースブロックと、  
半導体記憶媒体に対するアクセス状況を示すアクセス状況情報に基づきバスイ  
ンターフェースブロックへのクロックの供給の有無を制御するクロック供給制御  
回路とを含み、  
前記クロック供給制御回路は、  
アクセス状況情報に基づき、アクセス実行中でないと判断した場合にはバスイ  
ンターフェースブロックへのクロックの供給をストップさせるための制御及びバ  
スインターフェースがアクセス実行中であると判断した場合にはバスインターフェ  
ースブロックへクロックを供給させるための制御の少なくとも一方を行う回路を  
含むことを特徴とする半導体装置。

【請求項 2】 請求項 1において、  
前記バスインターフェースブロックは、  
異なる半導体記憶媒体へのアクセス実行時に共通してアクセス制御に必要な動  
作を行う共通バスインターフェースブロックと、  
所定の半導体記憶媒体へのアクセス実行時にのみアクセス制御に必要な動作を行  
う専用バスインターフェースブロックとを含み、  
前記クロック供給制御回路は、  
どの半導体記憶媒体に対しアクセス実行対象であるかを示すアクセス媒体情報  
に基づきアクセス実行対象でない半導体記憶媒体を検出し、アクセス実行対象で  
ない半導体記憶媒体の専用バスインターフェースブロックへのクロックの供給を  
ストップさせ、共通バスインターフェースブロックと、アクセス実行対象である半  
導体記憶媒体の専用バスインターフェースブロックにクロックが供給されるよう

に制御することを特徴とする半導体装置。

【請求項3】 請求項1乃至2のいずれかにおいて、

前記クロック供給制御回路は、

バスインターフェースブロックの出力するバリット信号終了後にバスインターフェースブロックへのクロックの供給をストップさせる処理を行うことを特徴とする半導体装置。

【請求項4】 バスマスタブロックから半導体記憶媒体へのアクセス要求に基づき、半導体記憶媒体のアクセス制御を行うバスインターフェースブロックへのクロックの供給の有無を制御する半導体回路であって、

半導体記憶媒体に対するアクセス状況を示すアクセス状況情報に基づき、所与のバスインターフェースブロックへのクロックの供給の有無を指示するためのバスインターフェースクロック供給制御信号を生成する制御信号生成回路と、

前記バスインターフェースクロック供給制御信号に基づき、クロック発振器から発振されたクロックの所与のバスインターフェースブロックへの供給の有無を制御する制御回路とを含み、

前記制御信号生成回路は、

アクセス状況情報がアクセス実行中でないことを示している場合には、バスインターフェースクロック供給制御信号をディセーブルにし、

前記制御回路は、

バスインターフェースクロック供給信号がディセーブルである場合には、クロック発振器から発振されたクロックがバスインターフェースブロックへ供給されないように制御する回路を含むことを特徴とする半導体回路。

【請求項5】 請求項4において、

前記バスインターフェースブロックは、

異なる半導体記憶媒体へのアクセス実行時に共通してアクセス制御に必要な動作を行う共通バスインターフェースブロックと、

所定の半導体記憶媒体へのアクセス実行時にのみアクセス制御に必要な動作を行う専用バスインターフェースブロックとを含み、

前記制御信号生成回路は、

バスインターフェースブロックがどの半導体記憶媒体がアクセス実行対象であるかを示すアクセス媒体情報に基づきアクセス実行対象でない半導体記憶媒体を検出し、アクセス実行対象でない半導体記憶媒体の専用バスインターフェースブロックへの専用バスインターフェースクロック供給信号をディセーブルにし、

前記制御回路は、

専用バスインターフェースクロック供給信号がディセーブルである場合には、クロック発振器から発振されたクロックがアクセス実行対象でない半導体記憶媒体の専用バスインターフェースブロックへ供給されないように制御する回路を含むことを特徴とする半導体回路。

**【請求項 6】** 請求項4乃至5のいずれかにおいて、

前記御信号生成回路は、

バスインターフェースブロックからのバリット信号終了後に専用バスインターフェースクロック供給信号をディセーブルにすることを特徴とする半導体回路。

**【請求項 7】** 請求項1乃至3のいずれかに記載の半導体装置又は請求項4乃至6のいずれかに記載の半導体回路を含む半導体装置と、

入力情報を受け付ける手段と、

入力情報に基づき前記情報処理装置により処理された結果を出力するため手段と、

を含むことを特徴とする電子機器。

**【請求項 8】** 半導体装置におけるバスインターフェースブロックへのクロックの供給の有無を制御するクロック供給制御方法であって、

半導体記憶媒体に対するアクセス状況を示すアクセス状況情報に基づき、所与のバスインターフェースブロックへのクロックの供給の有無を指示するためのバスインターフェースクロック供給制御信号を生成するステップと、

前記バスインターフェースクロック供給制御信号に基づき、クロック発振器から発振されたクロックの所与のバスインターフェースブロックへの供給の有無を制御するステップとを含み、

アクセス状況情報がアクセス実行中でないことを示している場合には、バスインターフェースクロック供給制御信号をディセーブルにし、

バスインターフェースクロック供給信号がディセーブルである場合には、クロック発振器から発振されたクロックがバスインターフェースブロックへ供給されないように制御することを特徴とするクロック供給制御方法。

【請求項9】 請求項8において、

前記バスインターフェースブロックは、

異なる半導体記憶媒体へのアクセス実行時に共通してアクセス制御に必要な動作を行う共通バスインターフェースブロックと、

所定の半導体記憶媒体へのアクセス実行時にのみアクセス制御に必要な動作を行う専用バスインターフェースブロックとを含み、

バスインターフェースブロックがどの半導体記憶媒体がアクセス実行対象であるかを示すアクセス媒体情報に基づきアクセス実行対象でない半導体記憶媒体を検出し、アクセス実行対象でない半導体記憶媒体の専用バスインターフェースブロックへの専用バスインターフェースクロック供給信号をディセーブルにし、

専用バスインターフェースクロック供給信号がディセーブルである場合には、クロック発振器から発振されたクロックがアクセス実行対象でない半導体記憶媒体の専用バスインターフェースブロックへ供給されないように制御することを特徴とするクロック供給制御方法。

【請求項10】 請求項8乃至9のいずれかにおいて、

バスインターフェースブロックからのバリット信号終了後に専用バスインターフェースクロック供給信号をディセーブルにすることを特徴とするクロック供給制御方法。

### 【発明の詳細な説明】

#### 【0001】

##### 【発明の属する技術分野】

本発明は、半導体装置、半導体回路、電子機器及びクロック供給制御方法に関する。

#### 【0002】

##### 【背景技術】

S R A MやS D R A M等の半導体記憶媒体へのアクセスを行う半導体装置では

電源ON状態においては、いつバスマスタからアクセス要求がきてもバスインターフェースが動作可能状態にあるようにするため、バスインターフェースには常にクロックが供給されていた。

### 【0003】

#### 【特許文献1】

特開平9-83247号公報

### 【0004】

#### 【発明が解決しようとする課題】

このため、例えばアイドル状態にあるバスインターフェースにもクロックが供給され、無駄に電力が消費されてしまっていた。

### 【0005】

本発明は以上のような問題点に鑑みてなされたものであり、半導体記憶媒体へのアクセスを行う半導体装置の消費電力の削減を目的とする。

### 【0006】

#### 【課題を解決するための手段】

(1) 本発明は、半導体記憶媒体へのアクセスを行う半導体装置であって、  
バスマスタとして機能する所与のバスマスタブロックと、  
所与のバスマスタブロックから半導体記憶媒体へのアクセス要求に基づき、半  
導体記憶媒体のアクセス制御を行うバスインターフェースブロックと、  
半導体記憶媒体に対するアクセス状況を示すアクセス状況情報に基づきバスイ  
ンターフェースブロックへのクロックの供給の有無を制御するクロック供給制御  
回路とを含み、

前記クロック供給制御回路は、

アクセス状況情報に基づき、アクセス実行中でないと判断した場合にはバスイ  
ンターフェースブロックへのクロックの供給をストップさせるための制御及びバ  
スインターフェースがアクセス実行中であると判断した場合にはバスインターフェ  
ースブロックへクロックを供給させるための制御の少なくとも一方を行う回路を  
含むことを特徴とする。

(2) 本発明は、バスマスタブロックから半導体記憶媒体へのアクセス要求に基

づき、半導体記憶媒体のアクセス制御を行うバスインターフェースブロックへのクロックの供給の有無を制御する半導体回路であって、

半導体記憶媒体に対するアクセス状況を示すアクセス状況情報に基づき、所与のバスインターフェースブロックへのクロックの供給の有無を指示するためのバスインターフェースクロック供給制御信号を生成する制御信号生成回路と、

前記バスインターフェースクロック供給制御信号に基づき、クロック発振器から発振されたクロックの所与のバスインターフェースブロックへの供給の有無を制御する制御回路とを含み、

前記制御信号生成回路は、

アクセス状況情報がアクセス実行中でないことを示している場合には、バスインターフェースクロック供給制御信号をディセーブルにし、

前記制御回路は、

バスインターフェースクロック供給信号がディセーブルである場合には、クロック発振器から発振されたクロックがバスインターフェースブロックへ供給されないように制御する回路を含むことを特徴とする。

(3) 本発明は、上記のいずれかに記載の半導体装置又は上記のいずれかに記載の半導体回路を含む半導体装置と、

入力情報を受け付ける手段と、

入力情報に基づき前記情報処理装置により処理された結果を出力するため手段と、

を含むことを特徴とする。

(4) 本発明は、半導体装置におけるバスインターフェースブロックへのクロックの供給の有無を制御するクロック供給制御方法であって、

半導体記憶媒体に対するアクセス状況を示すアクセス状況情報に基づき、所与のバスインターフェースブロックへのクロックの供給の有無を指示するためのバスインターフェースクロック供給制御信号を生成するステップと、

前記バスインターフェースクロック供給制御信号に基づき、クロック発振器から発振されたクロックの所与のバスインターフェースブロックへの供給の有無を制御するステップとを含み、

アクセス状況情報がアクセス実行中でないことを示している場合には、バスインターフェースクロック供給制御信号をディセーブルにし、

バスインターフェースクロック供給信号がディセーブルである場合には、クロック発振器から発振されたクロックがバスインターフェースブロックへ供給されないように制御することを特徴とする。

### 【0007】

#### 【発明の実施の形態】

##### 1. 本実施の形態の特徴

(1) 本実施の形態は、半導体記憶媒体へのアクセスを行う半導体装置であつて、

バスマスターとして機能する所与のバスマスタブロックと、  
所与のバスマスタブロックから半導体記憶媒体へのアクセス要求に基づき、半導体記憶媒体のアクセス制御を行うバスインターフェースブロックと、

半導体記憶媒体に対するアクセス状況を示すアクセス状況情報に基づきバスマスタブロックへのクロックの供給の有無を制御するクロック供給制御回路とを含み、

前記クロック供給制御回路は、

アクセス状況情報に基づき、バスインターフェースがB U S Y状態であると判断した場合にはバスマスタブロックへのクロックの供給をストップさせるための制御及びバスインターフェースがB U S Y状態でないと判断した場合にはバスマスタブロックへクロックを供給させるための制御の少なくとも一方を行う回路を含むことを特徴とする。

### 【0008】

バスマスターとして機能する所与のバスマスタブロックとは、例えばC P U、高速S R A M、M M U、キャッシュ、D M A等がある。

### 【0009】

アクセス状況情報に基づきバスインターフェースがB U S Y状態であると判断した場合にはバスマスタブロックへのクロックの供給の有無を制御するためのバスマスタクロック制御信号をディセーブルにし、バスマスタクロック制御信号が

ディセーブルである場合にはバスマスターへのクロックの供給をストップさせるようにもよい。

#### 【0010】

ここでアクセス状況情報として、例えばバスマスターが output するリクエスト信号や、バスインターフェースが output する BUSY 信号や、バスインターフェースが output するバリット信号（アクセスしたデータの送信期間にバリット信号がたつとする）等を用いるようにしてもよい。

#### 【0011】

例えば BUSY 信号を用いてバスインターフェースが BUSY 状態にあるか否か判断するようにしてもよい。

#### 【0012】

本実施の形態によれば、バスインターフェースが BUSY 状態で有る場合には、CPU、高速 SRAM、MMU、キャッシング、DMA C 等のバスマスターへのクロックの供給をストップすることが出来る。このため半導体記憶媒体のアクセス待ちの状態に有るバスマスターへのクロックの供給を停止して低パワー化を図り、消費電力の無駄防止を図ることが出来る。

#### 【0013】

（2）本実施の形態の半導体記憶装置は、

前記クロック供給制御回路は、

所与のバスマスター ブロックの出力するリクエスト要求の終了後に所与のバスマスター ブロックへのクロックの供給をストップさせる処理を行うことを特徴とする。

#### 【0014】

バスマスター ブロックのリクエスト要求の終了後とは、バスマスター ブロック出力するリクエスト信号がリクエスト要求を下げた場合（例えばリクエスト信号が H レベルから L レベルに変化した場合）等である。

#### 【0015】

またバスマスター ブロックのリクエスト要求の終了後にバスマスター ブロックに供給するクロックを停止させると、例えばバスマスター ブロックのリクエスト要求

の終了を検出してから（例えばリクエスト信号がHレベルからLレベルに変化したのを検出してから）バスマスタブロックへのクロックの供給をストップさせる場合でもよいし、またバスインターフェースブロックが非BUSY状態（アイドル状態）からBUSY状態に変化してから又は変化後少なくとも1クロック経過してから（この間にバスマスタブロックのリクエスト要求が終了する）バスマスタブロックへのクロックの供給をストップさせる場合でもよい。

#### 【0016】

本実施の形態によれば、所与のバスマスタブロックの出力するリクエスト要求の終了後に所与のバスマスタブロックへのクロックの供給をストップさせることができるので、バスマスタがリクエストを下げる前にバスマスタへのクロックがストップされる自体を防止することが出来る。

#### 【0017】

(3) 本実施の形態は、バスマスタとして機能する所与のバスマスタブロックへのクロックの供給の有無を制御する半導体回路であって、

半導体記憶媒体に対するアクセス状況を示すアクセス状況情報に基づき、所与のバスマスタブロックへのクロックの供給の有無を指示するためのバスマスタクロック供給制御信号を生成する制御信号生成回路と、

前記バスマスタクロック供給制御信号に基づき、クロック発振器から発振されたクロックの所与のバスマスタブロックへの供給の有無を制御する制御回路とを含み、

前記制御信号生成回路は、

アクセス状況情報がアクセス実行中で有ることを示している場合には、バスマスタクロック供給制御信号をディセーブルにし、

前記制御回路は、

バスマスタクロック供給信号がディセーブルである場合には、クロック発振器から発振されたクロックが所与のバスマスタブロックへ供給されないように制御する回路を含むことを特徴とする。

#### 【0018】

アクセス実行中とは、少なくともバスインターフェースが半導体記憶媒体にア

クセスを行っている期間（例えばバスインターフェースがB U S Y状態にある期間）を含む。

#### 【0019】

ここでアクセス状況情報として、例えばバスマスターが出力するリクエスト信号や、バスインターフェースが出力するB U S Y信号や、バスインターフェースが出力するバリット信号（アクセスしたデータの送信期間にバリット信号がたつとする）等を用いるようにしてもよい。

#### 【0020】

例えばB U S Y信号を用いてバスインターフェースがB U S Y状態にあるか否か判断するようにしてもよい。

#### 【0021】

本実施の形態によれば、半導体記憶媒体アクセス中である場合には、C P U、高速S R A M、M M U、キャッシュ、D M A等等のバスマスターへのクロックの供給をストップすることが出来る。このため半導体記憶媒体のアクセス待ちの状態に有るバスマスターへのクロックの供給を停止して低パワー化を図り、消費電力の無駄防止を図ることが出来る。

#### 【0022】

（4）本実施の形態の半導体記憶装置は、  
前記制御信号生成回路は、  
所与のバスマスターの出力するリクエスト要求の終了後にバスマスタクロック供給信号をディセーブルにすることを特徴とする。

#### 【0023】

バスマスターのリクエスト要求の終了後とは、バスマスターの出力するリクエスト信号がリクエスト要求を下げた場合（例えばリクエスト信号がHレベルからLレベルに変化した場合）等である。

#### 【0024】

またバスマスターのリクエスト要求の終了後にバスマスターの出力するクロックを停止させると、例えばバスマスターのリクエスト要求の終了を検出してから（例えばリクエスト信号がHレベルからLレベルに変化し

たのを検出してから) バスマスタブロックへのクロックの供給をストップさせる場合でもよいし、またバスインターフェースブロックが非BUSY状態(アイドル状態)からBUSY状態に変化してから又は変化後少なくとも1クロック経過してから(この間にバスマスタブロックのリクエスト要求が終了する)バスマスタブロックへのクロックの供給をストップさせる場合でもよい。

#### 【0025】

本実施の形態によれば、所与のバスマスタブロックの出力するリクエスト要求の終了後に所与のバスマスタブロックへのクロックの供給をストップさせることができるので、バスマスタがリクエストを下げる前にバスマスタへのクロックがストップされる自体を防止することが出来る。

#### 【0026】

(5) 本実施の形態の電子機器は、

上記のいずれかに記載の半導体装置又は上記いずれかに記載の半導体回路を含む半導体装置と、

入力情報を受け付ける手段と、

入力情報に基づき前記情報処理装置により処理された結果を出力するため手段と、

を含むことを特徴とする。

#### 【0027】

(6) 本実施の形態は、半導体装置におけるバスマスタブロックへのクロックの供給の有無を制御するクロック供給制御方法であって、

半導体記憶媒体に対するアクセス状況を示すアクセス状況情報に基づき、所与のバスマスタブロックへのクロックの供給の有無を指示するためのバスマスタクロック供給制御信号を生成するステップと、

前記バスマスタクロック供給制御信号に基づき、クロック発振器から発振されたクロックの所与のバスマスタブロックへの供給の有無を制御するステップとを含み、

アクセス状況情報がアクセス実行中で有ることを示している場合には、バスマスタクロック供給制御信号をディセーブルにし、

バスマスタクロック供給信号がディセーブルである場合には、クロック発振器から発振されたクロックが所与のバスマスタブロックへ供給されないように制御することを特徴とする。

#### 【0028】

(7) 本実施の形態のクロック供給制御方法は、  
所与のバスマスタブロックの出力するリクエスト要求の終了後にバスマスタクロック供給信号をディセーブルにすることを特徴とする。

#### 【0029】

以下、本実施の形態の好適な実施形態について図面を用いて詳細に説明する。

#### 【0030】

(8) 本実施の形態は、半導体記憶媒体へのアクセスを行う半導体装置であつて、

バスマスタとして機能する所与のバスマスタブロックと、  
所与のバスマスタブロックから半導体記憶媒体へのアクセス要求に基づき、半導体記憶媒体のアクセス制御を行うバスインターフェースブロックと、  
半導体記憶媒体に対するアクセス状況を示すアクセス状況情報に基づきバスインターフェースブロックへのクロックの供給の有無を制御するクロック供給制御回路とを含み、

前記クロック供給制御回路は、  
アクセス状況情報に基づき、アクセス実行中でないと判断した場合にはバスインターフェースブロックへのクロックの供給をストップさせるための制御及びバスインターフェースがアクセス実行中であると判断した場合にはバスインターフェースブロックへクロックを供給させるための制御の少なくとも一方を行う回路を含むことを特徴とする。

#### 【0031】

バスマスタとして機能する所与のバスマスタブロックとは、例えばC P U、高速S R A M、M M U、キャッシュ、D M A等がある。

#### 【0032】

アクセス状況情報に基づきアクセス実行中でないと判断した場合にはバスイン

ターフェースブロックへのクロックの供給の有無を制御するためのバスインターフェースクロック制御信号をディセーブルにし、バスインターフェースクロック制御信号がディセーブルで有る場合にはバスインターフェースへのクロックの供給をストップさせるようにしてもよい。

#### 【0033】

ここでアクセス状況情報として、例えばバスマスターが出力するリクエスト信号や、バスインターフェースが出力するBUSY信号や、バスインターフェースが出力するバリット信号（アクセスしたデータの送信期間にバリット信号がたつとする）等を用いるようにしてもよい。

#### 【0034】

例えばBUSY信号及びリクエスト信号を用いてリクエスト中またはBUSY状態にある場合をアクセス実行中であると判断してもよいし、BUSY信号及びリクエスト信号及びバリット信号を用いてリクエスト中またはBUSY状態またはバリット中にある場合をアクセス実行中であると判断してもよい。

#### 【0035】

本実施の形態によれば、アクセス実行中である場合には、バスインターフェースへのクロックの供給をストップすることが出来る。このためアイドル状態に有るバスインターフェースへのクロックの供給を停止して低パワー化を図り、消費電力の無駄防止を図ることが出来る。

#### 【0036】

(9) 本実施の形態の半導体記憶装置は、  
前記バスインターフェースブロックは、  
異なる半導体記憶媒体へのアクセス実行時に共通してアクセス制御に必要な動作を行う共通バスインターフェースブロックと、  
所定の半導体記憶媒体へのアクセス実行時にのみアクセス制御に必要な動作を行う専用バスインターフェースブロックとを含み、  
前記クロック供給制御回路は、  
どの半導体記憶媒体に対しアクセス実行対象であるかを示すアクセス媒体情報に基づきアクセス実行対象でない半導体記憶媒体を検出し、アクセス実行対象で

ない半導体記憶媒体の専用バスインターフェースブロックへのクロックの供給をストップさせ、共通バスインターフェースブロックと、アクセス実行対象である半導体記憶媒体の専用バスインターフェースブロックにクロックが供給されるように制御することを特徴とする。

#### 【0037】

本実施の形態によればバスインターフェースがアクセス実行中であっても、アクセス実行対象でない半導体記憶媒体の専用バスインターフェースブロックへのクロックの供給をストップさせることができるので、よりきめ細かく消費電力の削減を図ることが出来る。

#### 【0038】

(10) 本実施の形態の半導体記憶装置は、  
前記クロック供給制御回路は、  
バスインターフェースブロックの出力するバリット信号終了後にバスインターフェースブロックへのクロックの供給をストップさせる処理を行うことを特徴とする。

#### 【0039】

バスインターフェースブロックの出力するバリット信号終了後とは、バスインターフェースブロック出力するバリット信号が例えばHレベルからLレベルに変化した場合等である。

#### 【0040】

バスインターフェースブロックの出力するバリット信号終了後にバスインターフェースブロックに供給するクロックをストップさせると、例えばバスインターフェースブロックがバリット信号を出力したのを検出してからバスインターフェースブロックに供給するクロックを停止させるようにしてもよいし、またバスインターフェースブロックがBUSY状態から非BUSY状態に変化してから（BUSY信号がHレベルからLレベルに変化してから）又は変化後少なくとも1クロック以上経過してから（この間にバスインターフェースブロックがバリット信号を出力する）バスインターフェースブロックに供給するクロックを停止させる場合でもよい。

**【0041】**

このようにすることでバスインターフェースがバリット信号をさげるまでバスインターフェースブロックにクロックを供給することが出来る。

**【0042】**

(11) 本実施の形態は、バスマスタブロックから半導体記憶媒体へのアクセス要求に基づき、半導体記憶媒体のアクセス制御を行うバスインターフェースブロックへのクロックの供給の有無を制御する半導体回路であって、

半導体記憶媒体に対するアクセス状況を示すアクセス状況情報に基づき、所与のバスインターフェースブロックへのクロックの供給の有無を指示するためのバスインターフェースクロック供給制御信号を生成する制御信号生成回路と、

前記バスインターフェースクロック供給制御信号に基づき、クロック発振器から発振されたクロックの所与のバスインターフェースブロックへの供給の有無を制御する制御回路とを含み、

前記制御信号生成回路は、

アクセス状況情報がアクセス実行中でないことを示している場合には、バスインターフェースクロック供給制御信号をディセーブルにし、

前記制御回路は、

バスインターフェースクロック供給信号がディセーブルである場合には、クロック発振器から発振されたクロックがバスインターフェースブロックへ供給されないように制御する回路を含むことを特徴とする。

**【0043】**

アクセス実行中とは、少なくともバスインターフェースが半導体記憶媒体にアクセスを行っている期間（例えばバスインターフェースがBUSY状態にある期間）を含む。

**【0044】**

ここでアクセス状況情報として、例えばバスマスタが出力するリクエスト信号や、バスインターフェースが出力するBUSY信号や、バスインターフェースが出力するバリット信号（アクセスしたデータの送信期間にバリット信号がたつとする）等を用いるようにしてもよい。

**【0045】**

例えばB U S Y信号及びリクエスト信号を用いてリクエスト中またはB U S Y状態にある場合をアクセス実行中であると判断してもよいし、B U S Y信号及びリクエスト信号及びバリット信号を用いてリクエスト中またはB U S Y状態またはバリット中にある場合をアクセス実行中であると判断してもよい。

**【0046】**

本実施の形態によれば、アクセス実行中である場合には、バスインターフェースへのクロックの供給をストップすることが出来る。このためアイドル状態に有るバスインターフェースへのクロックの供給を停止して低パワー化を図り、消費電力の無駄防止を図ることが出来る。

**【0047】**

(12) 本実施の形態の半導体回路は、  
前記バスインターフェースブロックは、  
異なる半導体記憶媒体へのアクセス実行時に共通してアクセス制御に必要な動作を行う共通バスインターフェースブロックと、  
所定の半導体記憶媒体へのアクセス実行時にのみアクセス制御に必要な動作を行う専用バスインターフェースブロックとを含み、  
前記制御信号生成回路は、  
バスインターフェースブロックがどの半導体記憶媒体がアクセス実行対象であるかを示すアクセス媒体情報に基づきアクセス実行対象でない半導体記憶媒体を検出し、アクセス実行対象でない半導体記憶媒体の専用バスインターフェースブロックへの専用バスインターフェースクロック供給信号をディセーブルにし、  
前記制御回路は、  
専用バスインターフェースクロック供給信号がディセーブルである場合には、クロック発振器から発振されたクロックがアクセス実行対象でない半導体記憶媒体の専用バスインターフェースブロックへ供給されないように制御する回路を含むことを特徴とする。

**【0048】**

本実施の形態によればバスインターフェースがアクセス実行中であっても、ア

クセス実行対象でない半導体記憶媒体の専用バスインターフェースブロックへのクロックの供給をストップさせることができるので、よりきめ細かく消費電力の削減を図ることが出来る。

#### 【0049】

(13) 本実施の形態の半導体回路は、  
前記御信号生成回路は、  
バスインターフェースブロックからのバリット信号終了後に専用バスインターフェースクロック供給信号をディセーブルにすることを特徴とする。

#### 【0050】

バスインターフェースブロックの出力するバリット信号終了後とは、バスインターフェースブロック出力するバリット信号が例えばHレベルからLレベルに変化した場合等である。

#### 【0051】

バスインターフェースブロックの出力するバリット信号終了後にバスインターフェースブロックに供給するクロックをストップさせると、例えばバスインターフェースブロックがバリット信号を出力したのを検出してからバスインターフェースブロックに供給するクロックを停止させるようにしてもよいし、またバスインターフェースブロックがBUSY状態から非BUSY状態に変化してから（BUSY信号がHレベルからLレベルに変化してから）又は変化後少なくとも1クロック以上経過してから（この間にバスインターフェースブロックがバリット信号を出力する）バスインターフェースブロックに供給するクロックを停止させる場合でもよい。

#### 【0052】

このようにすることでバスインターフェースがバリット信号をさげるまでバスインターフェースブロックにクロックを供給することができる。

#### 【0053】

(14) 本実施の形態は、上記のいずれかに記載の半導体装置又は上記のいずれかに記載の半導体回路を含む半導体装置と、  
入力情報を受け付ける手段と、

入力情報に基づき前記情報処理装置により処理された結果を出力するため手段と、

を含むことを特徴とする。

#### 【0054】

(15) 本実施の形態は、半導体装置におけるバスインターフェースブロックへのクロックの供給の有無を制御するクロック供給制御方法であって、

半導体記憶媒体に対するアクセス状況を示すアクセス状況情報に基づき、所与のバスインターフェースブロックへのクロックの供給の有無を指示するためのバスインターフェースクロック供給制御信号を生成するステップと、

前記バスインターフェースクロック供給制御信号に基づき、クロック発振器から発振されたクロックの所与のバスインターフェースブロックへの供給の有無を制御するステップとを含み、

アクセス状況情報がアクセス実行中でないことを示している場合には、バスインターフェースクロック供給制御信号をディセーブルにし、

バスインターフェースクロック供給信号がディセーブルである場合には、クロック発振器から発振されたクロックがバスインターフェースブロックへ供給されないように制御することを特徴とする。

#### 【0055】

(16) 本実施の形態のクロック供給制御方法は、

前記バスインターフェースブロックは、

異なる半導体記憶媒体へのアクセス実行時に共通してアクセス制御に必要な動作を行う共通バスインターフェースブロックと、

所定の半導体記憶媒体へのアクセス実行時にのみアクセス制御に必要な動作を行う専用バスインターフェースブロックとを含み、

バスインターフェースブロックがどの半導体記憶媒体がアクセス実行対象であるかを示すアクセス媒体情報に基づきアクセス実行対象でない半導体記憶媒体を検出し、アクセス実行対象でない半導体記憶媒体の専用バスインターフェースブロックへの専用バスインターフェースクロック供給信号をディセーブルにし、

専用バスインターフェースクロック供給信号がディセーブルである場合には、ク

ロック発振器から発振されたクロックがアクセス実行対象でない半導体記憶媒体の専用バスインターフェースブロックへ供給されないように制御することを特徴とする。

#### 【0056】

(17) 本実施の形態のクロック供給制御方法は、  
バスインターフェースブロックからのバリット信号終了後に専用バスインターフ  
ェースクロック供給信号をディセーブルにすることを特徴とする。

#### 【0057】

以下、本発明の好適な実施形態について図面を用いて詳細に説明する。

#### 【0058】

##### 2. 半導体回路、半導体装置

図1は、本実施の形態の半導体装置、半導体回路の一例について説明するための図である。

#### 【0059】

本実施の形態の半導体装置10は、外部又は内部の半導体記憶媒体90（例え  
ばS R A M (Static Random Access Memory) 92, S D R A M (Static Random  
Access Memory) 94, R O M (Read Only Memory) 96等）へのアクセスを行  
う半導体装置である。

#### 【0060】

本実施の形態の半導体装置10は、バスマスター20として機能する所与のバス  
マスター ブロック20（例えばC P U（広義には、処理回路）22、高速S R A M  
24、M M U（Memory Management Unit）26、キャッシュ28、D M A C（Di  
rect Access Memory Controller）30の少なくとも一つ）を含む。

#### 【0061】

また本実施の形態の半導体装置10は、所与のバスマスター ブロック20から半  
導体記憶媒体へのアクセス要求に基づき、半導体記憶媒体のアクセス制御を行う  
バスインターフェース40をふくむ。

#### 【0062】

また本実施の形態の半導体装置10は、クロック供給制御回路70を含む。ク

ロック供給制御回路70は、半導体記憶媒体90に対するアクセス状況を示すアクセス状況情報（例えばB U S Y情報50、リクエスト信号34、バリット信号54の少なくとも一つ）がアクセス実行中で有ることを示している場合にはバスマスタブロック20へのクロック32の供給をストップさせる処理を行うようにしてもよい。

#### 【0063】

またクロック供給制御回路70は、アクセス状況情報（例えばB U S Y情報50、リクエスト信号34、バリット信号54の少なくとも一つ）がアクセス実行中でないことを示している場合にはバスインターフェースブロック40へのクロック76, 78, 80, 82の供給をストップさせる処理を行うようにしてもよい。

#### 【0064】

またクロック供給制御回路70は、バスマスタとして機能する所与のバスマスタブロックへ20（例えばC P U 22、高速S R A M 24、M M U 26、キャッシュ28、D M A 30の少なくとも一つ）へのクロックの供給、停止を制御する本実施の形態の半導体回路として機能する。

#### 【0065】

本実施の形態の半導体回路70は、制御信号生成回路72を含む。制御信号生成回路72は、半導体記憶媒体90（例えばS R A M 92、S D R A M 94、R O M 96等）に対するアクセス状況を示すアクセス状況情報に基づき、所与のバスマスタブロックへのクロックの供給又は停止を指示するためのクロック供給制御信号を生成する。

#### 【0066】

本実施の形態の半導体回路70は、制御回路74を含む。制御回路74は、クロック供給制御信号に基づき、クロック発振器60から発振されたクロックの所与のバスマスタブロック20への供給又は停止を制御する。

#### 【0067】

ここで前記制御信号生成回路72は、アクセス状況情報がアクセス実行中で有ることを示している場合には、バスマスタクロック供給制御信号をディセーブル

にし、前記制御回路74は、バスマスタクロック供給信号がディセーブルである場合には、クロック発振器から発振されたクロックが所与のバスマスタブロックへ供給されないように制御する回路を含むようにしてもよい。

#### 【0068】

また、制御信号生成回路72は、アクセス状況情報がアクセス実行中でないことを示している場合には、バスマスタクロック供給制御信号をイネーブルにし、前記制御回路74は、バスマスタクロック供給信号がイネーブルである場合には、クロック発振器から発振されたクロックが所与のバスマスタブロックへ供給されるように制御する回路を含むようにしてもよい。

#### 【0069】

バスインターフェース40は、異なる半導体記憶媒体へのアクセス実行時に共通してアクセス制御に必要な動作を行う共通バスインターフェースブロック42と、所定の半導体記憶媒体へのアクセス実行時にのみアクセス制御に必要な動作を行う専用バスインターフェースブロック44, 46, ···とを含むように構成してもよい。

#### 【0070】

この場合クロック供給制御回路70は、バスインターフェースブロックがどの半導体記憶媒体がアクセス実行対象であるかを示すアクセス媒体情報52に基づきアクセス実行対象でない半導体記憶媒体を検出し、アクセス実行対象でない半導体記憶媒体の専用バスインターフェースブロックへのクロックの供給をストップさせ、共通バスインターフェースブロック42と、アクセス実行対象である半導体記憶媒体の専用バスインターフェースブロックにクロックが供給されるように制御するようにしてもよい。

#### 【0071】

例えば制御信号生成回路72が、バスインターフェースブロックがどの半導体記憶媒体に対しアクセス実行対象であるかを示すアクセス媒体情報52に基づきアクセス実行対象でない半導体記憶媒体を検出し、アクセス実行対象でない半導体記憶媒体の専用バスインターフェースクロック供給制御信号をディセーブルにし、前記制御回路74は、専用バスインターフェースクロック供給信号がディセーブル

である場合には、クロック発振器から発振されたクロックがアクセス実行中でない半導体記憶媒体の専用バスインターフェースブロックへ供給されないように制御するようにしてもよい。

#### 【0072】

図2は本実施の形態の制御信号生成回路72の構成の一例について説明するための図である。また図3は図2の各信号のタイミングチャート図である。

#### 【0073】

34はバスマスター90（例えばCPU22やキャッシュ24やMMU26やDMAC30）からバスインターフェースに対し出力される半導体記憶媒体アクセス（リード／ライト）のリクエスト信号である。

#### 【0074】

50はBUSY情報であり、ここではバスインターフェースのBUSY状態／アイドル状態を示す情報である1ビットの情報を使用する。

#### 【0075】

52はアクセス媒体情報であり、アクセス実行状態にある半導体記憶媒体を特定するための情報であり、ここでは2ビットの情報を使用する。例えば'00'であれば第1の半導体記憶媒体（例えばSRAM）、「01」であれば第2の半導体記憶媒体（例えばSDRAM）等対応づけておくことが出来る。

#### 【0076】

54はバリット信号であり、バスインターフェースがアクセスしたデータをバス上で送信する際にたてる信号である。

#### 【0077】

共通バスインターフェースクロック供給制御信号110は、共通バスインターフェースへのクロックの供給又は停止を指示するための信号である。

#### 【0078】

第1の半導体記憶媒体専用バスインターフェースクロック供給制御信号120は、第1の半導体記憶媒体専用バスインターフェースへのクロックの供給又は停止を指示するための信号である。

#### 【0079】

第2の半導体記憶媒体専用バスインターフェースクロック供給制御信号130は、第2の半導体記憶媒体専用バスインターフェースへのクロックの供給又は停止を指示するための信号である。

#### 【0080】

バスマスタクロック供給制御信号140は、バスマスタとして機能するCPUやMMUやキャッシュ等へのクロックの供給又は停止を指示するための信号である。

#### 【0081】

制御信号生成回路72は、第1のOR回路180を含む。第1のOR回路180は、リクエスト信号43と第2のOR回路188の出力信号189のOR条件をとって共通バスインターフェースクロック供給制御信号を出力する。

#### 【0082】

制御信号生成回路72は、第2のOR回路188を含む。第2のOR回路188は、バリット信号54とBUSY情報（信号）のOR条件をとって出力信号190を生成する。

#### 【0083】

制御信号生成回路72は、第3のOR回路182を含む。第3のOR回路182は、リクエスト信号43と第1のAND回路190の出力信号191のOR条件をとって第1の半導体記憶媒体クロック供給制御信号120を生成する。

#### 【0084】

制御信号生成回路72は、第4のOR回路184を含む。第4のOR回路184は、リクエスト信号43と第2のAND回路192の出力信号193のOR条件をとって第2の半導体記憶媒体クロック供給制御信号130を生成する。

#### 【0085】

制御信号生成回路72は、第1のAND回路190を含む。第1のAND回路190は、第2のOR回路188の出力信号189と第1の比較回路194の出力信号185のAND条件で出力信号191を生成する。

#### 【0086】

制御信号生成回路72は、第2のAND回路192を含む。第2のAND回路

192は、第2のOR回路188の出力信号189と第2の比較回路196の出力信号187のAND条件で出力信号193を生成する。

#### 【0087】

制御信号生成回路72は、インバータ回路186を含む。インバータ回路186は、BUSY情報（信号）のNOT条件をとってバスマスタクロック供給制御信号140を生成する。

#### 【0088】

本実施の形態によれば、バスマスタのリクエスト中（図3の310参照）又はバスインターフェースがBUSY状態（図3の320参照）又はバスインターフェースがバリット信号出力中（図3の330参照）は共通バスインターフェース供給制御信号がイネーブル（Hレベル）（図3の340参照）になるため、共通バスインターフェースにクロックを供給することが出来る（図3の350参照）。

#### 【0089】

またバスマスタのリクエスト中又はバスインターフェースがBUSY状態又はバスインターフェースがバリット信号出力中のいずれでもない場合は共通バスインターフェース供給制御信号をディセーブル（Lレベル）にして、共通バスインターフェースへのクロックの供給をストップするようにしてもよい。

#### 【0090】

またバスマスタのリクエスト中（図3の310参照）及びバスインターフェースがBUSY状態（図3の320参照）及びバスインターフェースがバリット信号出力中（図3の330参照）に、アクセス実行対象となっている半導体記憶媒体の専用バスインターフェース供給制御信号がON（例えばH）（図3の360参照）になるため、アクセス実行対象となっている半導体記憶媒体の専用バスインターフェースにクロックを供給することが出来る（図3の360参照）。

#### 【0091】

またアクセス実行対象となっていない半導体記憶媒体の専用バスインターフェース供給制御信号をディセーブル（Lレベル）にすることで、アクセス実行対象となっている半導体記憶媒体の専用バスインターフェースへのクロックの供給を

ストップするようにしてもよい。

#### 【0092】

また本実施の形態によれば、バスインターフェースがB U S Y状態でない期間（図3の380、382参照）はバスマスタ供給制御信号がディセーブル（Hレベル）（図3の390、392参照）になるため、バスマスタにクロックを供給することが出来る（図3の400、402参照）。

#### 【0093】

また、バスインターフェースがB U S Y状態である期間はバスマスタ供給制御信号をディセーブル（L レベル）にして、バスマスタへクロック供給をストップするようにしてもよい。

#### 【0094】

なお例えばバスマスタからのリクエスト信号がH レベルになったら、一旦バスインターフェースブロックに属するすべてのブロックのバスインターフェースクロック供給制御信号をイネーブル（H レベル）にするようにしてもよい。このようにするとアクセス実行対象以外の半導体記憶媒体の専用バスインターフェースクロック供給制御信号もイネーブル（H レベル）（図3の410参照）、リクエスト要求に素早く対応出来るという効果がある。

#### 【0095】

図4は本実施の形態の制御回路74の構成の一例について説明するための図である。また図5は図4の各信号のタイミングチャート図である。

#### 【0096】

制御回路74は、バスマスタ用制御回路210を含む。バスマスタ用制御回路210は、バスマスタクロック供給制御信号140及びクロック発振器が発振したクロック62に基づき、CPU等のバスマスタブロック20へのクロック32の供給又は停止を制御する。バスマスタ用制御回路210は、例えばラッチ回路212とアンド回路216を含むよう構成してもよい。ここでラッチ回路212はバスマスタクロック供給制御信号140及びクロック発振器が発振したクロック62に基づき、マスク信号214を生成し、アンド回路216はマスク信号214とクロック62のアンド条件を取って、バスマスタブロック20へ供給する

クロック32を生成するようにしてもよい（図5参照）。

### 【0097】

制御回路74は、共通バスインターフェース用制御回路220を含む。共通バスインターフェース用制御回路220は、共通バスインターフェースクロック供給制御信号110及びクロック発振器が発振したクロック62に基づき、共通バスインターフェースブロック42へのクロック82の供給又は停止を制御する。共通バスインターフェース用制御回路220は、例えばラッチ回路222とアンド回路226を含むよう構成してもよい。ここでラッチ回路222は共通バスインターフェースクロック供給制御信号110及びクロック発振器が発振したクロック62に基づき、マスク信号224を生成し、アンド回路226はマスク信号224とクロック62のアンド条件を取って、共通バスインターフェースブロック42へ供給するクロック82を生成するようにしてもよい。

### 【0098】

制御回路74は、第1の半導体記憶媒体専用バスインターフェース用制御回路230を含む。第1の半導体記憶媒体専用バスインターフェース用制御回路230は、第1の半導体記憶媒体専用バスインターフェースクロック供給制御信号120及びクロック発振器が発振したクロック62に基づき、第1の半導体記憶媒体専用バスインターフェースブロック44へのクロック78の供給又は停止を制御する。第1の半導体記憶媒体専用バスインターフェース用制御回路230は、例えばラッチ回路232とアンド回路236を含むよう構成してもよい。ここでラッチ回路232は第1の半導体記憶媒体専用バスインターフェースクロック供給制御信号120及びクロック発振器が発振したクロック62に基づき、マスク信号234を生成し、アンド回路236はマスク信号234とクロック62のアンド条件を取って、第1の半導体記憶媒体専用バスインターフェースブロック44へ供給するクロック78を生成するようにしてもよい。

### 【0099】

制御回路74は、第nの半導体記憶媒体専用バスインターフェース用制御回路240を含む。第nの半導体記憶媒体専用バスインターフェース用制御回路240は、第nの半導体記憶媒体専用バスインターフェースクロック供給制御信号1

30及びクロック発振器が発振したクロック62に基づき、第nの半導体記憶媒体専用バスインターフェースブロック48へのクロック76の供給又は停止を制御する。第nの半導体記憶媒体専用バスインターフェース用制御回路240は、例えばラッチ回路242とアンド回路246を含むよう構成してもよい。ここでラッチ回路242は第nの半導体記憶媒体専用バスインターフェースクロック供給制御信号130及びクロック発振器が発振したクロック62に基づき、マスク信号244を生成し、アンド回路246はマスク信号244とクロック62のアンド条件を取って、第nの半導体記憶媒体専用バスインターフェースブロック48へ供給するクロック76を生成するようにしてもよい。

#### 【0100】

図6は所与のバスマスタブロックにクロックが供給される期間とバスインターフェースブロックにクロックが供給される期間について説明するための図である。

#### 【0101】

同図に示すように、リクエスト信号34がHレベルからLレベルに変化してからバスマスタクロック供給制御信号140をLレベル（ディセーブル）にすることで、バスマスタブロックの出力するリクエスト要求の終了後に、バスマスタブロックに供給されるクロックをストップさせることが出来る。

#### 【0102】

ここでバスマスタブロックのリクエスト要求の終了後とは、バスマスタブロック出力するリクエスト要求信号がリクエスト要求を下げた場合（例えばリクエスト信号34がHからLに変化した場合）等である。

#### 【0103】

またバスマスタブロックのリクエスト要求の終了後にバスマスタブロックに供給するクロックを停止させるためには、例えばバスマスタブロックのリクエスト要求の終了を検出してから（例えばリクエスト信号34がHレベルからLレベルに変化したのを検出してから）バスマスタブロックへのクロックの供給をストップさせるようにしてもよい。

#### 【0104】

またバスインターフェースブロックが非BUSY状態からBUSY状態に変化してから（BUSY信号がLレベルからHレベルに変化してから）又は変化後少なくとも1クロック経過してから（この間にバスマスタブロックのリクエスト要求が終了する）バスマスタブロックへ供給するクロック32をストップさせるようにしてもよい。

#### 【0105】

このようにすることでバスマスタがリクエスト信号をさげるまで（312参照）バスマスタにクロックを供給することが出来る（310参照）。

#### 【0106】

またBUSY信号が非BUSY状態（アイドル状態）に有る場合やバリット信号54がたった（LレベルからHレベルに変化）するタイミングで、バスマスタクロック供給制御信号140をHレベルにすることで、待ちの状態が終了したバスマスタに対してクロックを供給させることが出来る（320参照）。

#### 【0107】

また同図に示すようにバスインターフェースブロックの出力するバリット信号54終了後に（バリット信号がHレベルLレベルに変化してから）（330参照）、バスインターフェースロック供給制御信号140をLレベル（ディセーブル）にすることで（332参照）、バスインターフェースブロックへのクロック82の供給をストップさせることが出来る（334参照）。

#### 【0108】

なおここでバスインターフェースブロックとは共通バスバスインターフェースブロックでもよいし、専用バスバスインターフェースブロックでもよい。またインターフェースクロック供給制御信号とは、共通バスバスインターフェースクロック供給制御信号でもよいし、専用バスインターフェースクロック供給制御信号でもよい。

#### 【0109】

バスインターフェースブロックがバリット信号54を出力後にバスインターフェースブロックに供給するクロックを停止させると、例えばバスインターフェースブロックがバリット信号54を出力したのを検出してからバスインターフェ

ースブロックに供給するクロックを停止させるようにしてもよいし、またバスインターフェースブロックがBUSY状態から非BUSY状態に変化してから（BUSY信号がHレベルからLレベルに変化してから）又は変化後少なくとも1クロック以上経過してから（この間にバスインターフェースブロックがバリット信号を出力する）バスインターフェースブロックに供給するクロックを停止させる場合でもよい。

#### 【0110】

このようにすることでバスインターフェースがバリット信号54をさげるまで（330参照）バスインターフェースブロックにクロックを供給することが出来る（334参照）。

#### 【0111】

またリクエスト信号34がたった（LレベルからHレベルに変化）タイミングで（314参照）、バスインターフェースクロック供給制御信号140をHレベルにすることで（350参照）、バスインターフェースに対してクロックを供給させることが出来る（352参照）ので、バスマスターからのリクエスト要求に迅速に対応して動作することが出来る。

#### 【0112】

##### 3. マイクロコンピュータ

図7は、本実施の形態の半導体装置又は半導体回路を含むマイクロコンピュータのハードウエアブロック図の一例である。

#### 【0113】

本マイクロコンピュータ700は、CPU510、キャッシュメモリ520、メモリマネジメントユニット（MMU）730、LCDコントローラ530、リセット回路540、プログラマブルタイマ550、リアルタイムクロック（RTC）560、DMAコントローラF570、割り込みコントローラ580、通信制御回路590、バスコントローラ600、A/D変換器610、D/A変換器620、入力ポート630、出力ポート640、I/Oポート650、クロック発生装置660、プリスケーラ670、クロック供給制御回路740及びそれらを接続する各種バス680等、各種ピン690等を含む。

**【0114】**

ここでクロック供給制御回路740は、例えば図1～図6で説明したような構成を有している。

**【0115】****4. 電子機器**

図8に、本実施の形態の電子機器のブロック図の一例を示す。本電子機器800は、マイクロコンピュータ（またはASIC）810、入力部820、メモリ830、電源生成部840、LCD850、音出力部860を含む。

**【0116】**

ここで、入力部820は、種々のデータを入力するためのものである。マイクロコンピュータ810は、この入力部820により入力されたデータに基づいて種々の処理を行うことになる。メモリ830は、マイクロコンピュータ810などの作業領域となるものである。電源生成部840は、電子機器800で使用される各種電源を生成するためのものである。LCD850は、電子機器が表示する各種の画像（文字、アイコン、グラフィック等）を出力するためのものである。音出力部860は、電子機器800が出力する各種の音（音声、ゲーム音等）を出力するためのものであり、その機能は、スピーカなどのハードウェアにより実現できる。

**【0117】**

ここでマイクロコンピュータ（またはASIC）810は、例えば図7で説明したような構成を有している。

**【0118】**

図9(A)に、電子機器の1つである携帯電話950の外観図の例を示す。この携帯電話950は、入力部として機能するダイヤルボタン952や、電話番号や名前やアイコンなどを表示するLCD954や、音出力部として機能し音声を出力するスピーカ956を備える。

**【0119】**

図9(B)に、電子機器の1つである携帯型ゲーム装置960の外観図の例を示す。この携帯型ゲーム装置960は、入力部として機能する操作ボタン962

、十字キー964や、ゲーム画像を表示するLCD966や、音出力部として機能しゲーム音を出力するスピーカ968を備える。

#### 【0120】

図9 (C) に、電子機器の1つであるパーソナルコンピュータ970の外観図の例を示す。このパーソナルコンピュータ970は、入力部として機能するキーボード972や、文字、数字、グラフィックなどを表示するLCD974、音出力部976を備える。

#### 【0121】

なお、本実施形態を利用できる電子機器としては、図9 (A) 、 (B) 、 (C) に示すもの以外にも、携帯型情報端末、ページャー、電子卓上計算機、タッチパネルを備えた装置、プロジェクタ、ワードプロセッサ、ビューファインダ型又はモニタ直視型のビデオテープレコーダ、カーナビゲーション装置等のLCDを使用する種々の電子機器を考えることができる。

#### 【0122】

なお、本発明は本実施形態に限定されず、本発明の要旨の範囲内で種々の変形実施が可能である。

#### 【0123】

本実施の形態では、クロック供給制御回路が、バスマスターへのクロックの供給の有無の制御及びバスインターフェースへのクロックの供給の有無の制御の両方を行う場合を例にとり説明した、例えばいずれか一方の制御のみを行う場合でもよい。

#### 【図面の簡単な説明】

【図1】 本実施の形態の半導体装置、半導体回路の一例について説明するための図である。

【図2】 本実施の形態の制御信号生成回路の構成の一例について説明するための図である。

【図3】 図2の各信号のタイミングチャート図である。

【図4】 本実施の形態の制御回路の構成の一例について説明するための図である。

【図5】 図4の各信号のタイミングチャート図である。

【図6】 所与のバスマスタブロックにクロックが供給される期間とバスインターフェースブロックにクロックが供給される期間について説明するための図である。

【図7】 本実施の形態の半導体装置又は半導体回路を含むマイクロコンピュータのハードウエアブロック図の一例である。

【図8】 マイクロコンピュータを含む電子機器のブロック図の一例を示す。

【図9】 図9 (A) (B) (C) は、種々の電子機器の外観図の例である。

#### 【符号の説明】

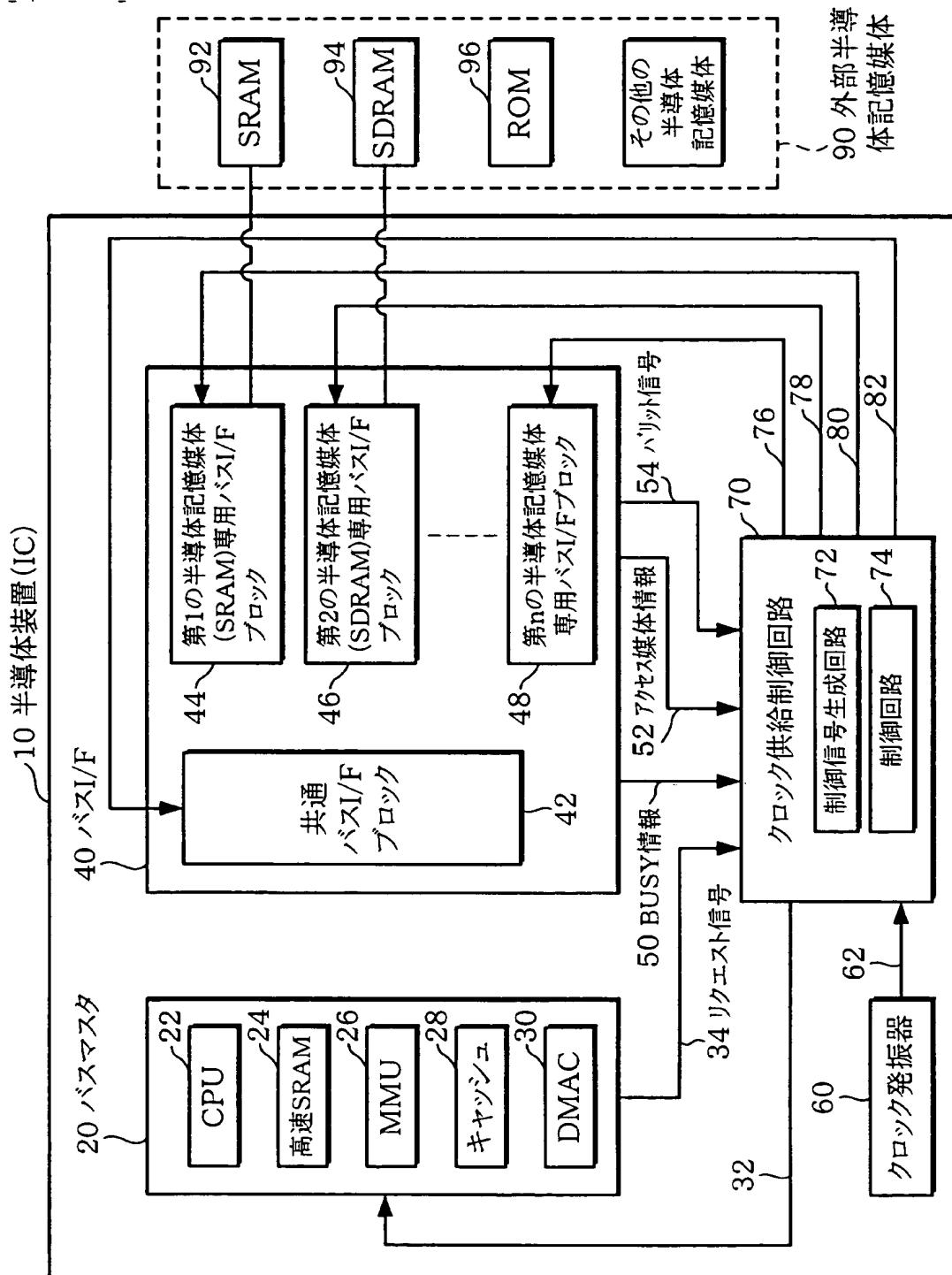
- 1 0 半導体装置、 2 0 バスマスタ、 2 2 C P U、
- 2 4 高速S R A M、 2 6 M M U、 2 8 キャッシュ、 3 0 D M A C
- 3 2 バスマスタへ供給されるクロック、 3 4 リクエスト信号、
- 4 0 バスインターフェース、 4 2 共通バスインターフェース、
- 4 4 第1の半導体記憶媒体専用バスインターフェース、
- 4 6 第2の半導体記憶媒体専用バスインターフェース、
- 4 8 第nの半導体記憶媒体専用バスインターフェース、
- 5 0 B U Z Y情報、 5 2 アクセス媒体情報、 5 4 バリット信号、
- 6 0 クロック発振器、 7 0 クロック供給制御回路、
- 7 2 制御信号生成回路、 7 4 制御回路、
- 7 6 第nの半導体記憶媒体専用バスインターフェースへ供給されるクロック
- 7 8 第2の半導体記憶媒体専用バスインターフェースへ供給されるクロック
- 8 0 第1の半導体記憶媒体専用バスインターフェースへ供給されるクロック
- 8 2 共通バスインターフェースへ供給されるクロック、
- 9 0 半導体記憶媒体、
- 1 1 0 共通バスインターフェースクロック供給制御信号、
- 1 2 0 第1の半導体記憶媒体専用バスインターフェースクロック供給制御信号
- 1 3 0 第2の半導体記憶媒体専用バスインターフェースクロック供給制御信号

140 共通バスインターフェースクロック供給制御信号、  
510 C P U、 530 L C Dコントローラ、 540 リセット回路、  
550 プログラマブルタイマ、 560 リアルタイムクロック（R T C）、  
570 DMAコントローラ、 580 割り込みコントローラ、  
590 通信制御回路、 600 バスコントローラ、 610 A／D変換器  
620 D／A変換器、 630 入力ポート、 640 出力ポート、  
650 I／Oポート、 660 クロック発生装置（P L L）、  
670 プリスケーラ、 680 各種バス、 690 各種ピン、  
700 マイクロコンピュータ、 710 R O M、 720 R A M、  
730 M M U、 740 クロック供給制御回路、 800 電子機器

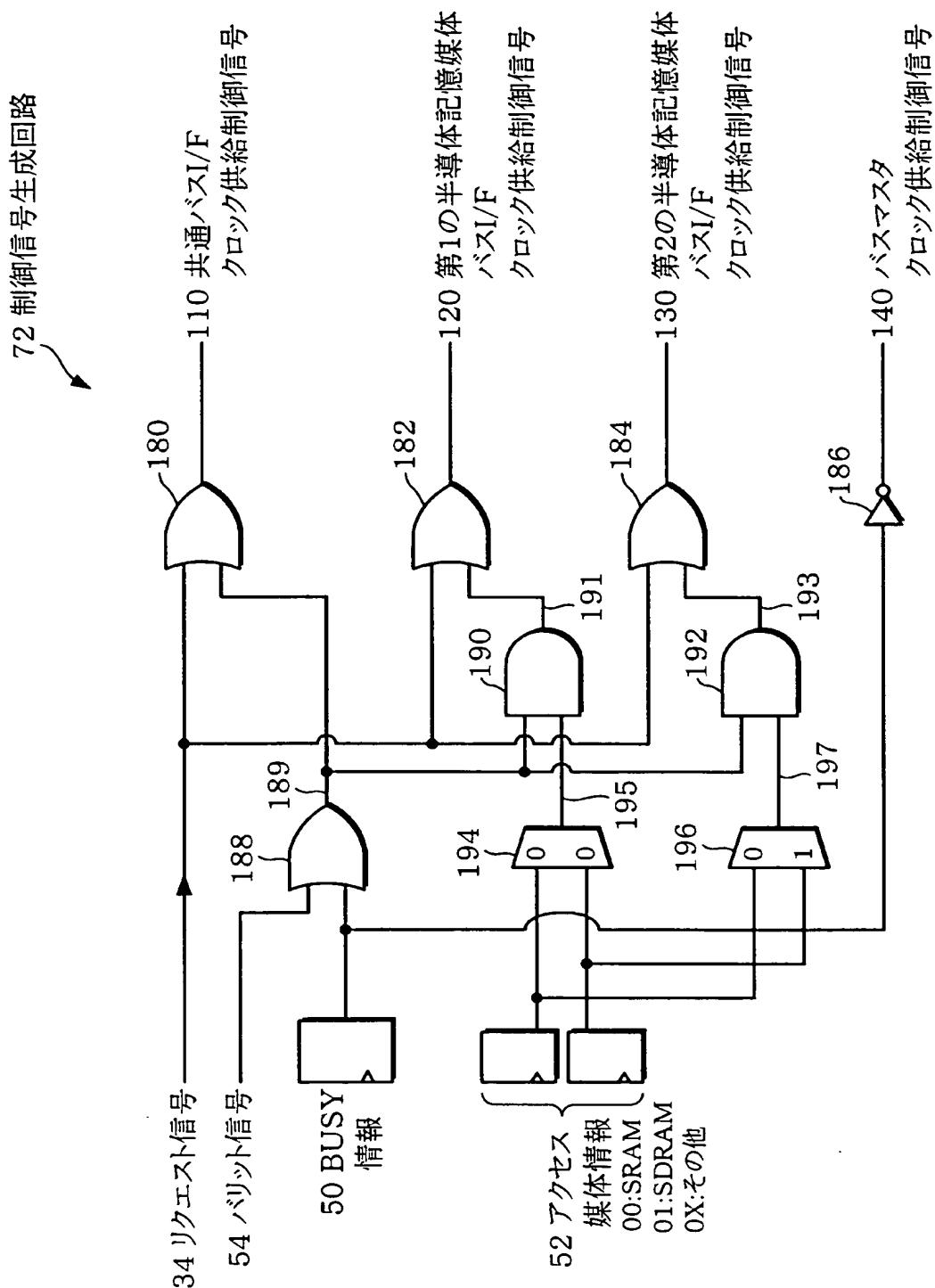
【書類名】

図面

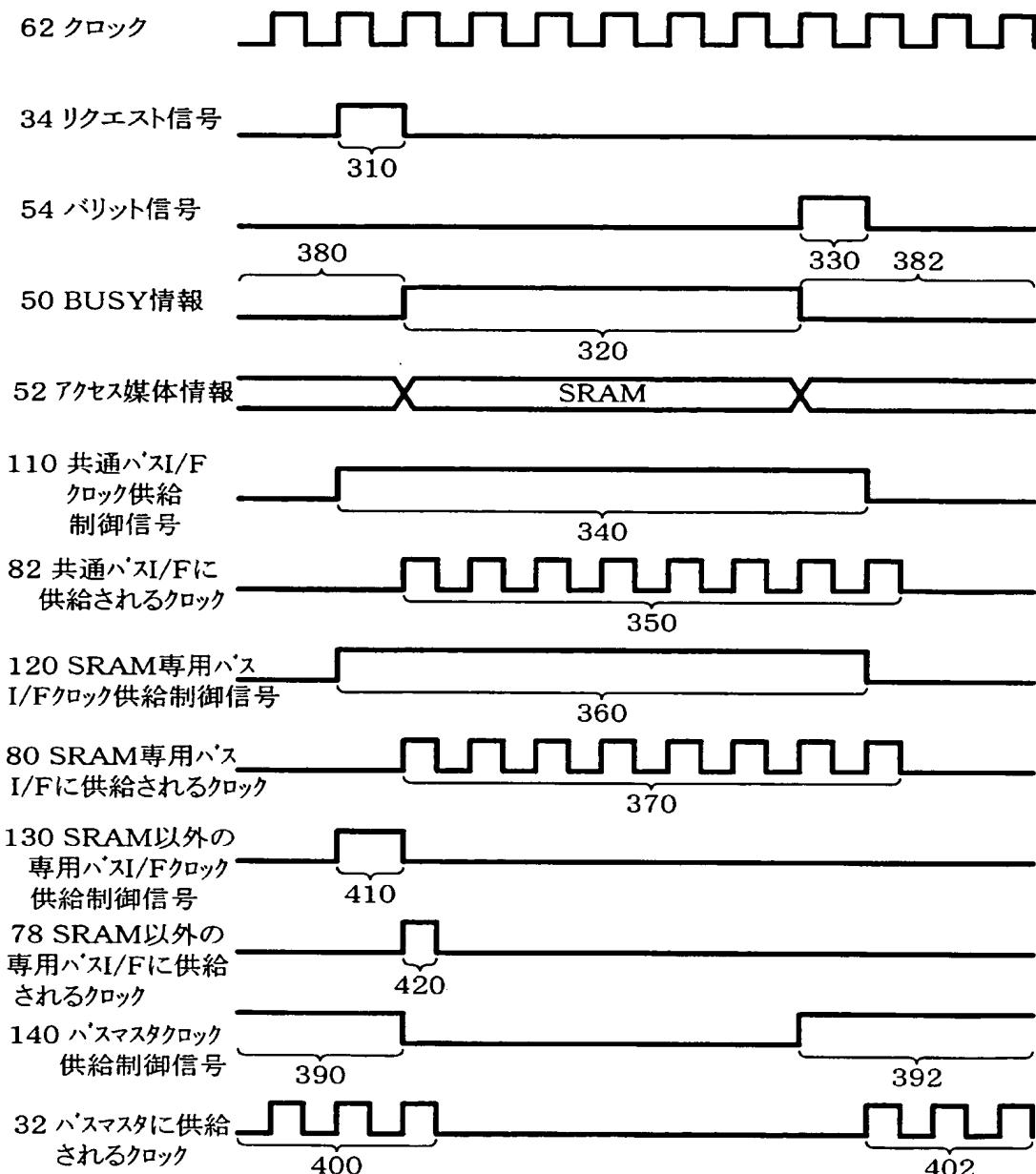
【図 1】



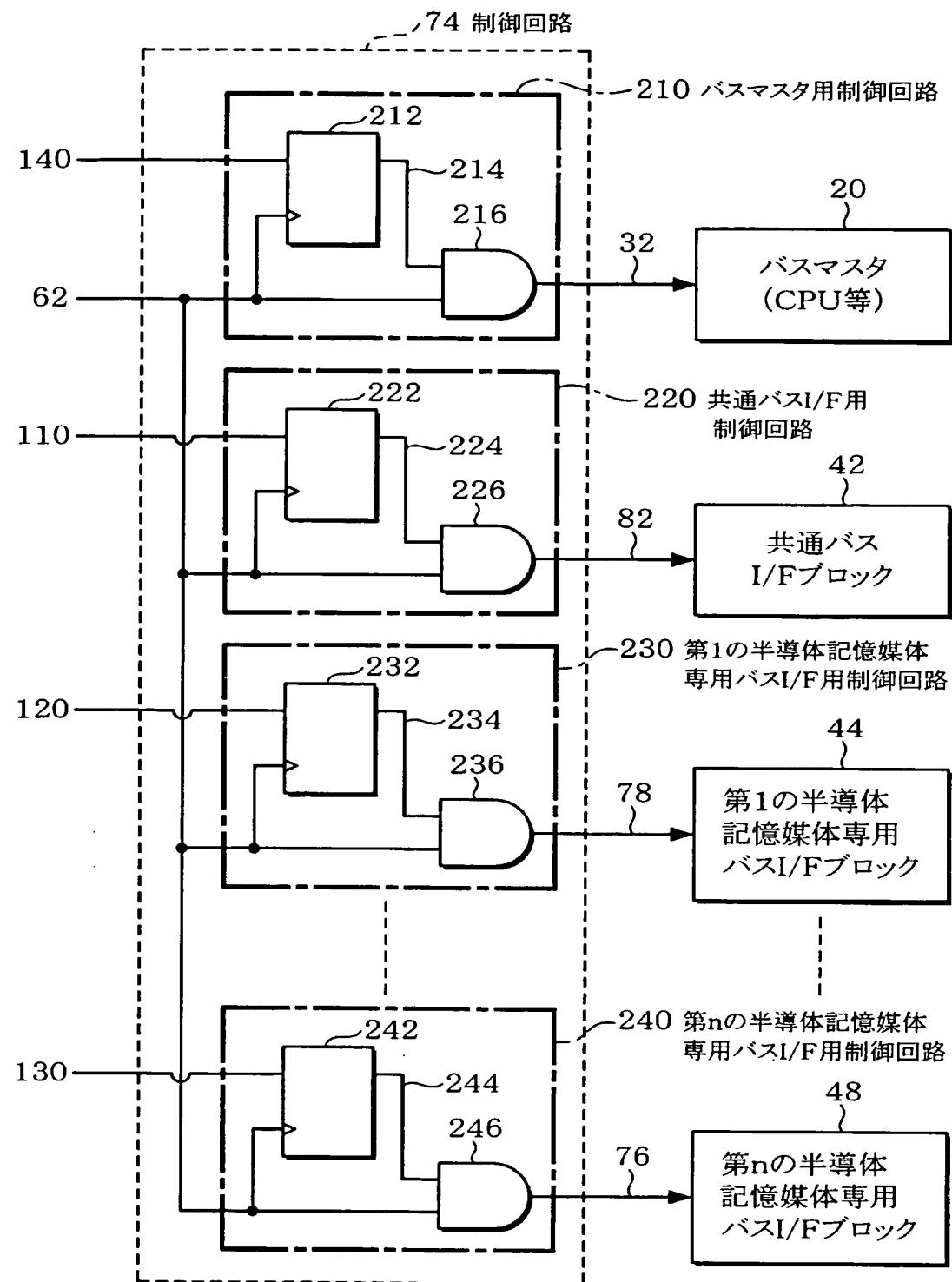
【図2】



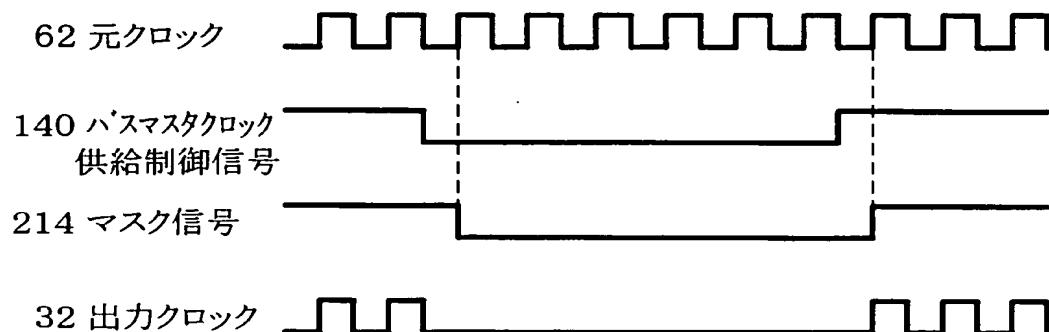
【図3】



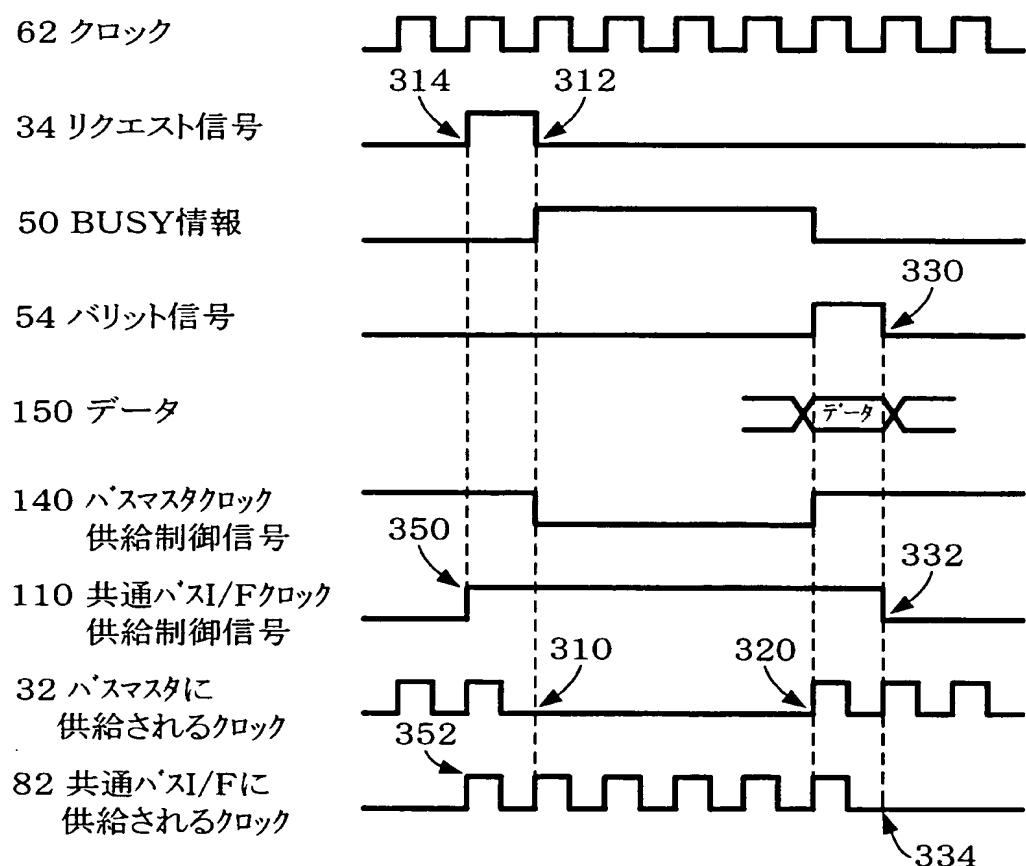
【図4】



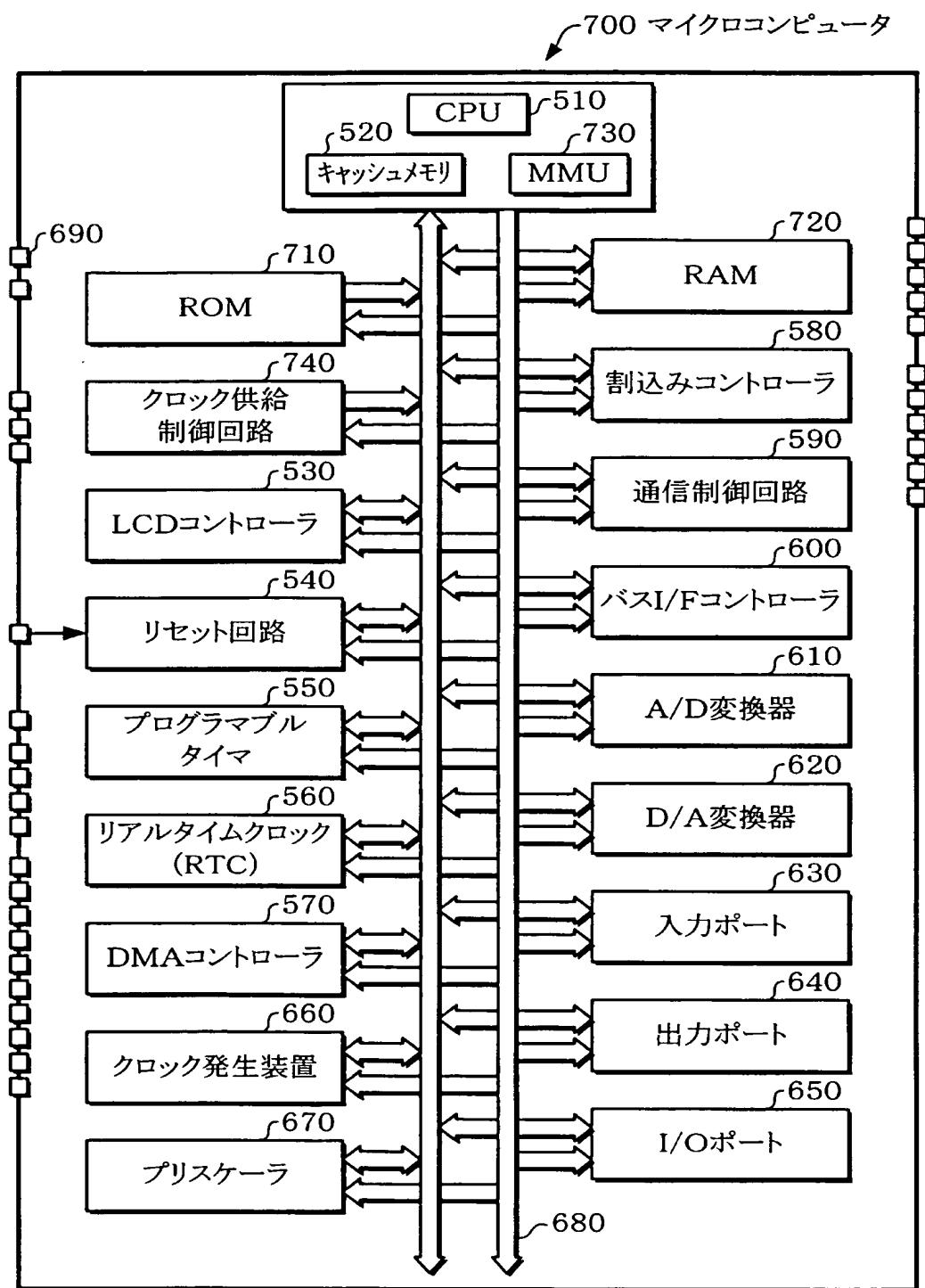
【図 5】



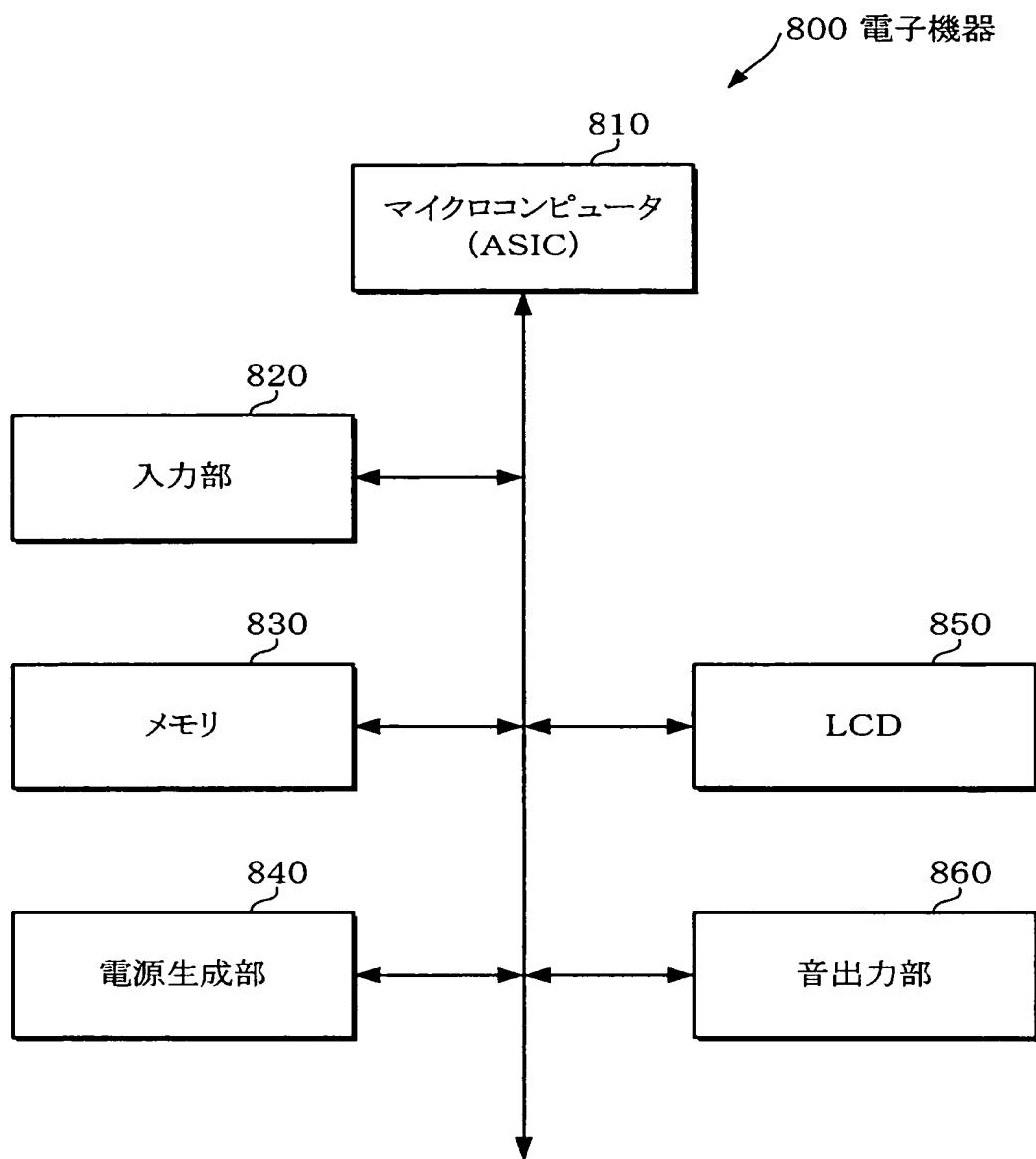
【図 6】



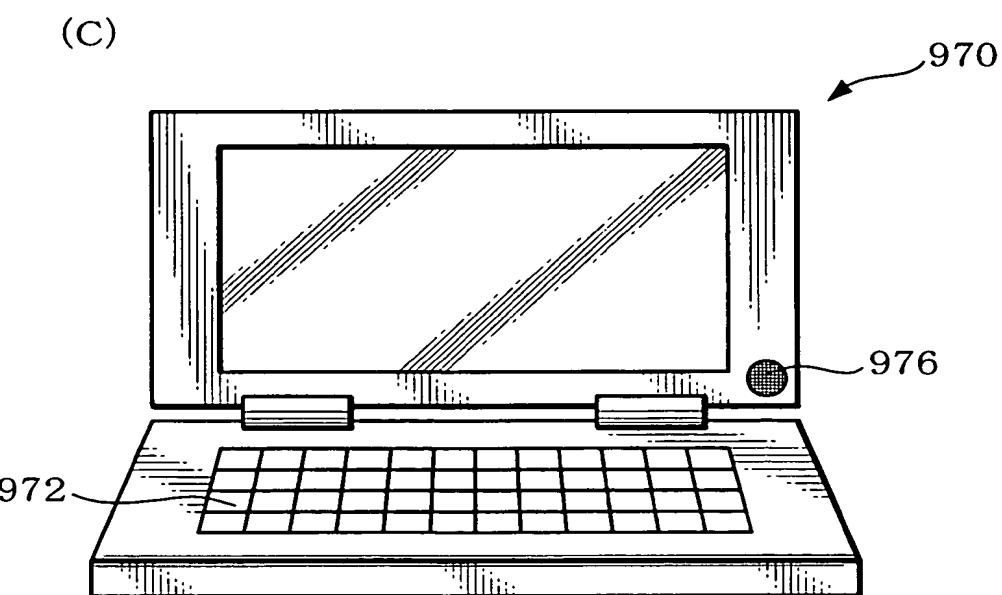
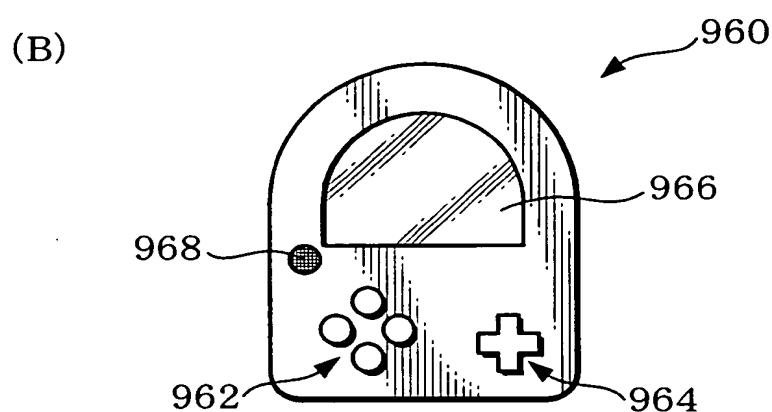
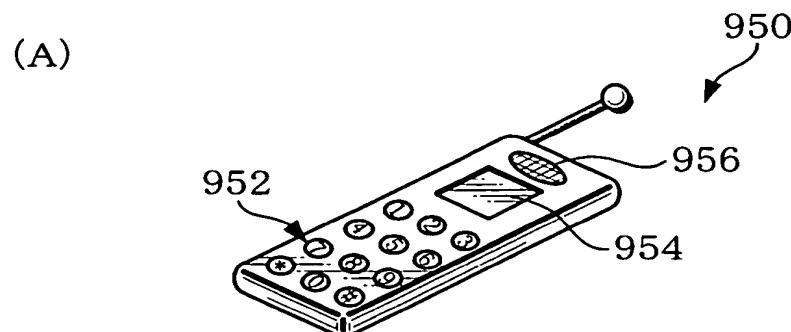
【図7】



【図8】



【図9】



【書類名】 要約書

【要約】

【課題】 半導体記憶媒体へのアクセスを行う半導体装置の消費電力の削減を目的とする。

【解決手段】 半導体記憶媒体へのアクセスを行う半導体装置10である。バスマスターとして機能する所与のバスマスター20と、バスマスター20からのアクセス要求に基づき、半導体記憶媒体90のアクセス制御を行うバスインターフェース40と、半導体記憶媒体90に対するアクセス状況を示すアクセス状況情報34, 50、52、54に基づきバスインターフェース40へのクロックの供給の有無を制御するクロック供給制御回路70とを含む。クロック供給制御回路70は、アクセス実行中でない場合にはバスインターフェース40へのクロックの供給をストップさせ、アクセス実行中である場合にはバスインターフェース40へクロックを供給させる。

【選択図】 図1

特願2003-078089

出願人履歴情報

識別番号 [000002369]

1. 変更年月日 1990年 8月20日

[変更理由] 新規登録

住所 東京都新宿区西新宿2丁目4番1号  
氏名 セイコーエプソン株式会社